

## A/D CONVERTER

Publication number: JP11017549 (A)

Publication date: 1999-01-22

Inventor(s): EJIMA NAOKI +

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD +

Classification:

- international: H03M 1/08; H03M 1/12; H03M 3/02; H03M 1/08; H03M 1/12; H03M 3/02; (IPC1-7): H03M1/08; H03M1/12; H03M3/02

- European:

Application number: JP19970166985 19970624

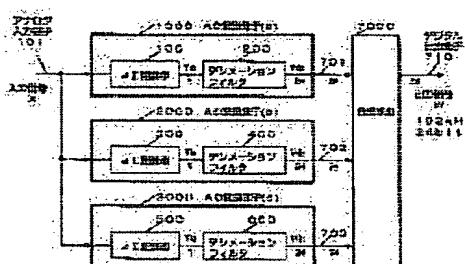
Priority number(s): JP19970166985 19970624

Also published as:

JP3463513 (B2)

Abstract of JP 11017549 (A)

PROBLEM TO BE SOLVED: To provide an A/D converter immune to clock jitters, that obtains a high dynamic range over a broad range regardless of employment of a low-degree feedback filter without largely increasing an oversampling ratio. SOLUTION: This connector is composed of n-sets (n is an integer over 2) A/D converter element groups that convert a received analog signal into a digital code for a prescribed partial band,  $\Delta \Sigma$  modulators 100, 300, 500 that extract digital codes for a full band from a synthesis means 7000 synthesizing the n-sets of the outputs and apply  $\Delta \Sigma$  modulation to the digital codes for a prescribed band characteristic preferably, and decimation filters 200, 400, 600 that limit the band according to a prescribed frequency characteristic to interleave sampling data. Then the respective A/D converter elements 1000, 2000, 3000 are used to enhance the stability and the A/D converter system is obtained for a broad range and a high dynamic range with high immunity to clock jitters.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17549

(43)公開日 平成11年(1999)1月22日

(51)Int.Cl.<sup>6</sup>

H 03 M 3/02  
1/08  
1/12

識別記号

F I

H 03 M 3/02  
1/08  
1/12

A  
C

審査請求 未請求 請求項の数19 O L (全 10 頁)

(21)出願番号 特願平9-166985

(22)出願日 平成9年(1997)6月24日

(71)出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 江島 直樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

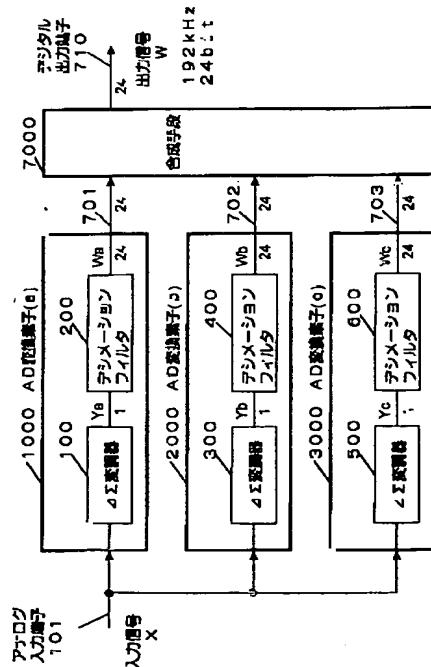
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 AD変換装置

(57)【要約】

【課題】 オーバーサンプル比を余り上げずに、低次の帰還フィルタを用いながら、広い帯域にわたって高ダイナミックレンジを得、さらにクロックジッタに強いAD変換装置を提供する。

【解決手段】 入力するアナログ信号を所定の部分帯域においてデジタル符号に変換するn個 (nは2以上の整数) のAD変換素子群と、これらn個の出力を合成する合成手段7000から全帯域のデジタル符号を取り出すようにした。好ましくは所定の帯域特性で△Σ変調する△Σ変調器1000, 300, 500と、それぞれ所定の周波数特性で帯域を制限してサンプリングデータを間引くデシメーションフィルタ200, 400, 600とで構成する。個々のAD変換素子1000, 2000, 3000で安定度を高め、全体としては広帯域かつ高ダイナミックレンジでクロックジッタに強いAD変換装置を提供する。



## 【特許請求の範囲】

【請求項1】 共通の入力端子と、入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換するn個（nは2以上の整数）のAD変換素子を有するAD変換素子群と、前記AD変換素子群のn個の出力を合成する合成手段とを備え、前記合成手段から全帯域のデジタル符号を取り出すようにしたAD変換装置。

【請求項2】 共通の入力端子と、入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換するn個（nは2以上の整数）のAD変換素子を有するAD変換素子群と、前記AD変換素子群のn個の出力を合成してmビット（mは $2^m \geq n+1$ を満たす正整数）のデジタル符号にする合成手段とを備え、前記合成手段から合成したmビットのデジタル符号を取り出すようにしたAD変換装置。

【請求項3】 i個（iは2以上の整数）のアナログ入力端子を備え、前記アナログ入力端子から入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換するn個（nは2以上の整数）のAD変換素子と、前記AD変換素子のn個の出力を合成する合成手段とを備え、前記合成手段から全帯域のデジタル符号を取り出すようにしたAD変換装置。

【請求項4】 i個（iは2以上の整数）のアナログ入力端子を備え、前記アナログ入力端子から入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換するn個（nは2以上の整数）のAD変換素子と、前記AD変換素子群のn個の出力を合成してmビット（mは $2^m \geq n+1$ を満たす正整数）のデジタル符号にする合成手段とを備え、前記合成手段から合成したmビットのデジタル符号を取り出すようにしたAD変換装置。

【請求項5】 iはnと等しいことを特徴とする請求項3または4に記載のAD変換装置。

【請求項6】 複数のAD変換素子は、それぞれ相異なる部分帯域で所定の変換特性が得られるAD変換素子からなる請求項1ないし5のいずれかに記載のAD変換装置。

【請求項7】 AD変換素子は、入力するアナログ信号を所定の帯域特性で $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器の出力をそれぞれ所定の周波数特性で帯域を制限してサンプリングデータを間引くデシメーションフィルタとからなることを特徴とする請求項6記載のAD変換装置。

【請求項8】  $\Delta\Sigma$ 変調器は、量子化雑音を帰還する帰還回路の伝達特性により所定の帯域特性を得ることを特徴とする請求項7記載のAD変換装置。

【請求項9】 デシメーションフィルタは、それぞれ接続する $\Delta\Sigma$ 変調器の所定帯域において主に通過させ、それ以外の帯域を阻止するようにしたことを特徴とする請求項7記載のAD変換装置。

【請求項10】 デシメーションフィルタは、AD変換素子のそれぞれの出力を合成した出力の周波数特性が全帯域において略フラットとなるような所定の伝達特性をそれぞれ有することを特徴とする請求項7記載のAD変換装置。

【請求項11】 それぞれ所定の部分帯域に好適な特性をもつマイクロフォンあるいはマイクアンプの信号が入力されるi個（iは2以上の整数）のアナログ入力端子を備え、前記アナログ入力端子から入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換するn個（nは2以上の整数）のAD変換素子と、前記AD変換素子のn個の出力を合成する合成手段とを備え、前記合成手段から全帯域のデジタル符号を取り出すようにしたAD変換装置。

【請求項12】 それぞれ所定の部分帯域に好適な特性をもつマイクロフォンあるいはマイクアンプの信号が入力されるi個（iは2以上の整数）のアナログ入力端子を備え、前記アナログ入力端子から入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換するn個（nは2以上の整数）のAD変換素子と、前記AD変換素子のn個の出力を合成してmビット（mは $2^m \geq n+1$ を満たす正整数）のデジタル符号にする合成手段とを備え、前記合成手段から合成したmビットのデジタル符号を取り出すようにしたAD変換装置。

【請求項13】 iはnと等しいことを特徴とする請求項11または12に記載のAD変換装置。

【請求項14】 複数のAD変換素子は、それぞれ相異なる部分帯域で所定の変換特性が得られるAD変換素子からなる請求項1ないし13のいずれかに記載のAD変換装置。

【請求項15】 AD変換素子は、入力するアナログ信号を所定の帯域特性で $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器の出力をそれぞれ所定の周波数特性で帯域を制限してサンプリングデータを間引くデシメーションフィルタとからなることを特徴とする請求項14記載のAD変換装置。

【請求項16】  $\Delta\Sigma$ 変調器は、量子化雑音を帰還する帰還回路の伝達特性により所定の帯域特性を得ることを特徴とする請求項15記載のAD変換装置。

【請求項17】 デシメーションフィルタは、それぞれ接続する $\Delta\Sigma$ 変調器の所定帯域において主に通過させ、それ以外の帯域を阻止するようにしたことを特徴とする請求項15記載のAD変換装置。

【請求項18】 デシメーションフィルタは、AD変換素子のそれぞれの出力を合成した出力の周波数特性が全帯域において略フラットとなるような所定の伝達特性をそれぞれ有することを特徴とする請求項15記載のAD変換装置。

【請求項19】 デシメーションフィルタは、それぞれ接続する $\Delta\Sigma$ 変調器の所定帯域において主に通過させ、

それ以外の帯域を阻止するようにするとともに、前記*i*個の入力信号の相互間における周波数特性あるいは位相特性あるいは群遅延特性およびその間のバラツキに適応して、それぞれ逆特性となる伝達特性をそれぞれ畳み込むことを特徴とする請求項16に記載のAD変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ信号をデジタル符号に変換するAD変換装置に関し、特に、複数のAD変換素子を用いて高S/Nかつ広帯域変換を実現するAD変換装置に関する。

【0002】

【従来の技術】AD変換器にはさまざまな方式があるが、1ビットで高速標本化を行う $\Delta\Sigma$ 変調型AD変換器が盛んに使用されている。高速標本化とノイズシェイピングを利用して量子化雑音を高域へ集中させる方法であり、時間軸精度があれば所望帯域での変換精度を比較的簡単に得ることができる。このためLSI化にも適しており、従来のデジタルレコーダ(DAT、MD等)において、アナログ信号のデジタル記録等の目的に広く利用されている。

【0003】特に最近は、DVD(デジタル・バーサタイル・ディスク)の発売などにともないハイサンプリング・ハイビット化の傾向がある。これにともない9.6kHz・24ビットと銘打つ $\Delta\Sigma$ 変調型AD変換器も現れてきている。

【0004】

【発明が解決しようとする課題】しかしながら、このような $\Delta\Sigma$ 変調型AD変換器の表面的なフォーマットは9.6kHz・24ビットではあるが、デバイス動作速度の不足などのため、今までのところその仕様に見合った十分な性能が得られていない。より具体的には以下の課題がある。

【0005】(イ)オーバーサンプル比を高くしたいが、デバイス動作速度が追いつかないため、高々32倍程度のオーバーサンプリング比に制限される。

【0006】(ロ)高精度化のために帰還フィルタの次数を高くしたいが、フルスイング時に発振するなど安定度に問題がある。

【0007】(ハ)逆に低次の帰還フィルタを使用すると、狭帯域になり、ダイナミックレンジが低減する。

【0008】(ニ)時間軸精度に性能依存するので、僅かなジッタでも、SN比、ダイナミックレンジが劣化するなど、クロックジッタに弱い。

【0009】本発明は上記の問題を解決するもので、オーバーサンプル比を余り上げずに、低次の帰還フィルタを用いながら、広い帯域にわたって高ダイナミックレンジを得、さらにクロックジッタに強いAD変換装置を提供することを目的とする。

【0010】

【課題を解決するための手段】この目的を達成するためには本発明によるAD変換装置は、入力するアナログ信号を所定の部分帯域においてデジタル符号に変換する複数個のAD変換素子と、各AD変換素子の出力を合成する合成手段から全帯域のデジタル符号を取り出すように構成したものである。

【0011】これにより、広い帯域にわたって高ダイナミックレンジを得、さらにクロックジッタに強いAD変換装置が得られる。

【0012】

【発明の実施の形態】本発明の第1の発明は、共通の入力端子と、入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換する*n*個(*n*は2以上の整数)のAD変換素子を有するAD変換素子群と、前記AD変換素子群の*n*個の出力を合成する合成手段とを備え、前記合成手段から全帯域のデジタル符号を取り出すようにしたものである。

【0013】また、本発明の第2の発明は、共通の入力端子と、入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換する*n*個(*n*は2以上の整数)のAD変換素子を有するAD変換素子群と、前記AD変換素子群の*n*個の出力を合成して*m*ビット(*m*は $2^m \geq n+1$ を満たす正整数)のデジタル符号にする合成手段とを備え、前記合成手段から合成した*m*ビットのデジタル符号を取り出すようにしたものである。

【0014】また、本発明の第3の発明は、*i*個(*i*は2以上の整数)のアナログ入力端子を備え、前記アナログ入力端子から入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換する*n*個(*n*は2以上の整数)のAD変換素子と、前記AD変換素子群の*n*個の出力を合成して*m*ビット(*m*は $2^m \geq n+1$ を満たす正整数)のデジタル符号にする合成手段とを備え、前記合成手段から合成した*m*ビットのデジタル符号を取り出すようにしたものである。

【0015】また、上記本発明のAD変換素子は、入力するアナログ信号を所定の帯域特性で $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器の出力をそれぞれ所定の周波数特性で帯域を制限してサンプリングデータを間引くデシメーションフィルタとからなるものである。

【0016】また、本発明の第4の発明は、それぞれ所定の部分帯域に好適な特性をもつマイクロフォンあるいはマイクアンプの信号が入力される*i*個(*i*は2以上の整数)のアナログ入力端子を備え、前記アナログ入力端子から入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換する*n*個(*n*は2以上の整数)のAD変換素子と、前記AD変換素子の*n*個の出力を合成して*m*ビット(*m*は $2^m \geq n+1$ を満たす正整数)のデジタル符号にする合成手段とを備え、前記合成手段から合成した*m*ビットのデジタル符号を取り出すようにしたものである。

【0017】また、上記発明のAD変換素子は、入力するアナログ信号を所定の帯域特性で $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器の出力をそれぞれ所定の周波数特性で帯域を制限してサンプリングデータを間引くデシメーションフィルタとからなり、デシメーションフィルタは、それぞれ接続する $\Delta\Sigma$ 変調器の所定帯域において主に通過させ、それ以外の帯域を阻止するようにするとともに、前記1個の入力信号の相互間における周波数特性あるいは位相特性あるいは群遅延特性およびその間のバラツキに適応して、それぞれ逆特性となる伝達特性をそれぞれ畳み込むことを特徴としたものである。

【0018】本発明は、上記のようにしたため、それぞれのAD変換素子は比較的低いクロック、低次の帰還フィルタを用いて所定の分割帯域でのダイナミックレンジを高めることができ、安定化も図られる。これらのAD変換素子は所定の帯域内を通過させ帯域外を阻止するデシメーションフィルタと組み合わせ、所定の分割帯域外の雑音を除去する。さらに、相異なる帯域で所定の性能を得る複数のAD変換素子の出力を合成することで、全体として広帯域化および高ダイナミックレンジ化が図られる。また、n個のAD変換素子の出力を合成する時に、 $\Delta\Sigma$ 変調波形の立ち上がりと立ち下がりの出現確率が略平衡することによって、ジッタによる変換誤差を相乗平均化する作用が生じ、ジッタによる雑音の低減作用が副次的に生じる。

【0019】また、それぞれの入力端子に適する信号を接続することで個々に最適の特性を畳み込むことが出来るようになる。

【0020】

【実施例】以下、本発明の第1の実施例について、図面を参照しながら説明を行う。

【0021】図1は本発明の第1の実施例におけるAD変換装置を示す概要ブロック図である。ここでは将来の展開を考慮して、DCから100kHzまでのアナログ信号をデジタル信号に変換するAD変換装置の本発明による実施例とした。従って出力信号はサンプリング周波数192kHz、24bitのデジタル符号である。図中、101はアナログ入力端子、1000はAD変換素子(a)、2000はAD変換素子(b)、3000はAD変換素子(c)、7000は合成手段、710はデジタル出力端子である。なお、信号線の傍に引き出し線を付けずに記入の数字はビット数を表す。入力端子101より入力する入力信号XはAD変換素子(a)1000、AD変換素子(b)2000およびAD変換素子(c)3000に共通に供給する。それぞれのAD変換素子においては、各々 $\Delta\Sigma$ 変調器100、300、500とデシメーションフィルタ200、400、600でAD変換を行う。AD変換素子(a)1000、AD変換素子(b)2000およびAD変換素子(c)3000の出力Wa701、Wb702およびWc703を合成手段7000に

供給する。合成手段7000はこれらの3つの入力Wa、WbおよびWcを加算合成して出力端子710より出力信号Wとして出力する。

【0022】図2はAD変換素子(a)1000の内部ブロック図である。図中、110は加算器、120は量子化器、140は減算器、150は帰還フィルタ、210は第1のFIR1(有限インパルス応答)フィルタ(a)、220は第2のFIR2フィルタ(a)である。入力端子101より入力するアナログ入力信号Xを加算器110を通じて量子化器120に供給する。1ビット量子化はオーバーサンプリング周波数3072kHzで行う。加算器110のもう一方の加算入力信号は帰還フィルタ150から供給される量子化雑音Qである。量子化器120は入力されるアナログ信号を1ビットに量子化する。この量子化した1ビットの信号はデシメーションフィルタ200へ伝送するとともに、減算器140に入力する。減算器140は量子化器120の入力信号と出力信号との差信号すなわち量子化雑音Qを出力する。サンプリング周波数3072kHzは現状のデバイス性能から考慮して選んだ値であり、これより高くしても低くしても得られるダイナミックレンジなどの性能が低下する。この量子化雑音Qは伝達特性Ha(z)を有する帰還フィルタ150で周波数およびまたは位相特性の変換を行い加算器110へ帰還する。ここで、信号Yaについて式で表すと、 $Y_a = X + (1 - H_a(z)) * Q$ となり、信号Yaは入力信号Xの成分と量子化雑音Qの伝達特性Ha(z)で帰還した成分の和となる。したがって伝達特性Ha(z)によって量子化雑音Qのスペクトル変換を行うことができる。実用の低周波域で伝達関数が1となるように通過特性を持たせ、実用帯域外の高周波域で減衰特性を持たせるようにするのが好適である。例えばLPFがこれに該当する。この帰還ループによる $\Delta\Sigma$ 変調で量子化雑音Qを実用帯域外の高域へ追いやることができる。このようにして所定のスペクトル変換を施した1ビットの信号を出力端子710から出力信号Yaとして次段のデシメーションフィルタ200へ出力する。

【0023】デシメーションフィルタ200において、1ビット3072kHzの信号をFIR1フィルタ210で1/4にデシメーションし24ビット768kHzにダウンサンプリングするとともにマルチビット化し、FIR2フィルタ220でさらに1/4にデシメーションして24ビット192kHzの出力Waに変換する。

【0024】図1におけるAD変換素子(b)2000およびAD変換素子(c)3000の内部構成および動作は、図2で説明したAD変換素子(a)1000と同様である。異なるのは $\Delta\Sigma$ 変調器のノイズシェイプ特性、より具体的には帰還フィルタの伝達関数がそれ異なることと、デシメーションフィルタの帯域特性を異ならしめていることである。以下これらの特性について説明する。

【0025】図3は $\Delta\Sigma$ 変調器の信号スペクトルおよびノイズスペクトルを説明する図である。図3(a)は $\Delta\Sigma$ 変調器100の出力 $Y_a$ 、図3(b)は $\Delta\Sigma$ 変調器300の出力 $Y_b$ および図3(c)は $\Delta\Sigma$ 変調器500の出力 $Y_c$ の特性を示す。なお、横軸は周波数軸であり、広範囲を見るため対数化して示している。

【0026】図3(a)において、 $S_0$ は入力信号 $X$ の信号スペクトル、 $N_a$ は $\Delta\Sigma$ 変調によって高域へ追いやった量子化雑音のノイズスペクトルである。サンプリング周波数192kHzを $f_s$ として16 $f_s$ の3072kHzでオーバーサンプリングを行い、帰還ループにより $\Delta\Sigma$ 変調を行い量子化雑音 $Q$ を信号帯域外の高域へ追いやっている。そのためノイズスペクトルはナイキスト周波数の1536kHz(8 $f_s$ )を中心としてピークをもつ山型になる。オーバーサンプリング比16という値は24ビット精度のダイナミックレンジを信号帯域の全体で得るには不十分な値であり、無理をして高次の $\Delta\Sigma$ 変調をすれば、安定度が劣化し発振に到るなどの致命的な欠陥を生じる。そこで本実施例では2次ないし4次の低次帰還フィルタを採用し、常に安定に動作するようにした。そのかわり24ビット精度のダイナミックレンジを得る帯域を狭めている。図3(a)では24kHzまでの帯域で24ビット精度のダイナミックレンジを得るようになり、帯域内であっても24kHzから96kHzの範囲でのダイナミックレンジはやや悪い。

【0027】次に図3(b)について説明する。図3(b)も図3(a)と同様に量子化雑音を制御する。図3(a)と異なるのは、帰還フィルタとして24kHzから48kHzを通過させ、それ以外の帯域を阻止するバンドパスフィルタを用いる点である。バンドパスフィルタを構成するには、例えば帰還フィルタの伝達特性 $H_b(z)$ の極点と零点をDC以外の周波数に最適に分散配置することにより得られる。これらによりノイズスペクトルは $N_b$ となる。信号スペクトル $S_0$ はフラットである。このようにして24~48kHzで24ビット精度のダイナミックレンジを得る。

【0028】図3(c)も図3(a)、(b)と同様である。図3(c)では48~96kHz周波数帯域で24ビット精度のダイナミックレンジを得る。

【0029】これら3つの信号、 $Y_a$ 、 $Y_b$ および $Y_c$ は、入力信号 $X$ については96kHzまでの帯域とともにフラットであるが、それぞれ異なるノイズスペクトルを含む信号として次段へ出力される。 $Y_a$ はデシメーションフィルタ200に、 $Y_b$ はデシメーションフィルタ400に、 $Y_c$ はデシメーションフィルタ600に供給され、それぞれ間引きとフィルタリングが行われる。デシメーションは、群遅延歪みの無いFIRフィルタを用いて、ダウンサンプリングによる折り返し歪みが100kHzの帯域内に混入するのを阻止するよう十分な特性を持たせる。

【0030】図4は、デシメーションフィルタの特性を表すとともに信号 $Y_a$ 、信号 $Y_b$ および信号 $Y_c$ に含むノイズスペクトルをそれぞれ併記したものである。同図において、 $F_a$ はデシメーションフィルタ200の周波数特性、 $F_b$ はデシメーションフィルタ400の周波数特性、 $F_c$ はデシメーションフィルタ600の周波数特性である。また、併記した $N_a$ は信号 $Y_a$ に含むノイズスペクトル、 $N_b$ および $N_c$ はそれぞれ信号 $Y_b$ および信号 $Y_c$ に含むノイズスペクトルである。図4に示す通り、デシメーションフィルタの特性は単に、折り返し歪みとなる帯域外成分を除去するだけではない。好ましくはさらにそれぞれの帯域内でノイズスペクトルの低い領域の信号だけを通過するよう、それぞれのデシメーションフィルタを組み合わせる。こうすることで、96kHz以下の帯域内でもノイズスペクトルの盛り上がり部をフィルタリングし、ノイズの上昇を抑えられる。同図においてノイズスペクトル $N_a$ の大きさを示す曲線の破線部は、デシメーションフィルタ200により減衰を受ける部分であることを示す。以下同様に、ノイズスペクトル $N_b$ およびノイズスペクトル $N_c$ を表す曲線の破線部もそれぞれ同様にデシメーションフィルタ400およびデシメーションフィルタ600により減衰する部分であることを示す。このようにダウンサンプリングして得られた192kHz・24ビットの信号 $W_a$ 、信号 $W_b$ および信号 $W_c$ は合成手段7000に供給する。

【0031】図5は合成手段7000の内部ブロック図である。信号レベルの比較的小さい信号 $W_b$ と信号 $W_c$ を加算器720で加算しその結果と信号 $W_a$ を加算器710で加算合成して出力信号 $W$ として出力端子710に出力する。

【0032】図6は入力信号 $X$ に対する出力信号 $W$ の総合周波数特性を示す図である。同図中の $S$ は信号成分の特性であり、 $N_a$ 、 $N_b$ および $N_c$ は残留ノイズの特性である。図よりDCから96kHzまでの帯域において146dB以上のダイナミックレンジおよびSN比が得られることが分かる。

【0033】以上の説明から明らかなように、このような優れた特性はそれぞれ比較的狭帯域のAD変換素子を部分帯域で使用することにより得られたものであって、AD変換素子は比較的低次の帰還フィルタで実現できるものである。従って、個々のAD変換素子はどのような強度の入力に対しても常に安定に動作する。例えば略フルスケール入力において不安定になり発振するとか、あるいは直流入力、言い換えるとDCオフセット状態において、内部演算の丸め誤差などに起因する小振幅の発振現象(ピー音)などが発生することを防止できる。しかも信号伝達特性に関しては、全帯域で元々フラットな特性をもつAD変換素子をそれぞれデジタルのデシメーションフィルタで複数の部分帯域に分け、それらをデジタルで加算合成するので、演算語長を適切に選ぶことによ

り容易に周波数連続性と位相連続性を達成し得るものである。

【0034】また、複数の $\Delta\Sigma$ 変調器およびデシメーションフィルタの出力を合成手段で加算合成するので、信号成分は伝達特性通りに加算合成されるが、雑音成分は相乗平均されるため等レベル合成であれば3dB程減衰するため、特に部分帯域の境界付近でのノイズが減って、全体のダイナミックレンジおよびSN比が僅かながら改善されるといった副次的効果も奏する。

【0035】次に、本発明の第2の実施例について、図面を参照しながら説明を行う。図7は本発明の第2の実施例におけるAD変換装置を示す概要ブロック図である。図中、11は第1のマイクロフォン（図中では、単にマイクと記す）、12は第2のマイクロフォン、101はマイクロフォン11の信号を入力する入力端子であり、102はマイクロフォン12の信号を入力する入力端子である。その他は第1の実施例と同じである。第1の実施例と同様の部分については同符号とし詳細説明は省く。マイクロフォン11はDCから約30kHzまでの帯域で使用するマイクロフォンである。またマイクロフォン12は20kHz以上の帯域で特性の優れたマイクロフォンである。マイクロフォン11は比較的大きな口径の振動板を有し、マイクロフォン12は比較的小口径とする。これは特にマイクロフォン12において振動板の分割振動による共振点周波数および反共振点周波数を高くし超音波帯域で特性を最適にするためである。ただし小口径とするため感度は低下する傾向にある。

【0036】図8は $\Delta\Sigma$ 変調器の信号スペクトルおよびノイズスペクトルを説明する図である。図8(a)は $\Delta\Sigma$ 変調器100の出力Y<sub>a</sub>、図8(b)は $\Delta\Sigma$ 変調器300の出力Y<sub>b</sub>および図8(c)は $\Delta\Sigma$ 変調器500の出力Y<sub>c</sub>の特性を示す。なお、横軸は周波数軸であり、広範囲を見るため対数化して示している。

【0037】図8(a)において、S1は入力信号X<sub>1</sub>の信号スペクトルであり、低域でフラットなスペクトルを有する。

【0038】次に図8(b)と図8(c)のS2はマイクロフォン12から入力した信号成分であり、高域でフラットな特性を有する。

【0039】これらは第1の実施例と同様に $\Delta\Sigma$ 変調およびデシメーションフィルタを経由して合成手段700で加算合成される。

【0040】図9は第2の実施例におけるそれぞれのデシメーションフィルタの特性を示す図である。同図においてFaはデシメーションフィルタ200の特性を示すが、約15dBゲインを落としているのはマイクロフォン11の出力がマイクロフォン12の出力よりも大きいを補正するためである。またFbはデシメーションフィルタ400の特性を示すが、マイクロフォン12の高域減衰の傾向を補正するため、これとは逆特性の伝達特

性を畳み込むことで補正している。これらの結果総合の入出力特性は図6と同様となる。同図中のNa、NbおよびNcは残留ノイズである。DCから96kHzまでの帯域において146dB以上のダイナミックレンジが得られる。入力端子を複数備えることによって、マイクロフォンをマルチウェイ方式とすることができる、それぞれの特性を最大限活かし、最適な等化特性を行うことで補正が容易にできる利点を有する。なお、基本的な部分については第1の実施例と同様の作用効果を奏する。

【0041】

【発明の効果】以上述べたように本発明は、入力するアナログ信号をそれぞれ所定の部分帯域においてデジタル符号に変換するn個（nは2以上の整数）のAD変換素子（AD変換素子群）と、前記AD変換素子群のn個の出力を合成する合成手段を備え、前記合成手段から全帯域のデジタル符号を取り出すようにした。

【0042】また、AD変換素子は、入力するアナログ信号を所定の帯域特性で $\Delta\Sigma$ 変調する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器の出力をそれぞれ所定の周波数特性で帯域を制限してサンプリングデータを間引くデシメーションフィルタと構成し、デシメーションフィルタは、それぞれ接続する $\Delta\Sigma$ 変調器の所定帯域において主に通過し、それ以外の帯域で阻止し、それぞれのデシメーションフィルタは、AD変換素子のそれぞれの出力を合成した出力の周波数特性が全帯域において略フラットとなるように構成したため、それぞれのAD変換素子は比較的低いクロック、低次の帰還フィルタを用いて所定の分割帯域でのダイナミックレンジを高めることができ、安定化も図られる。これらのAD変換素子は所定の帯域内を通過させ帯域外を阻止するデシメーションフィルタと組み合わせ、所定の分割帯域外の雑音を除去する。さらに、相異なる帯域で所定の性能を得る複数のAD変換素子の出力を合成することで、全体として広帯域化および高ダイナミックレンジ化が図られる。また、n個のAD変換素子の出力を合成する時に、 $\Delta\Sigma$ 変調波形の立ち上がりと立ち下がりの出現確率が略平衡することによって、ジッタによる変換誤差を相乗平均化する作用が生じ、ジッタによる雑音の低減作用が副次的に生じる。

【0043】すなわち、以下のようないくつかの具体的な作用効果がある。

(イ) オーバーサンプル比を低くできるので、デバイス動作速度に余裕ができ、設計通りのバラツキの少ない経済的に優れるAD変換装置が実現できる。

【0044】(ロ) 帰還フィルタの次数を低くできるので、フルスイング時であってもDCオフセットがある場合であっても常に安定に動作する。

【0045】(ハ) 部分帯域に分けたマイクロフォンあるいはAD変換素子をデシメーションフィルタを介して加算合成するため、所望の広い帯域幅を得ることが容易となる。同時に高ダイナミックレンジを得られる。

【0046】(ニ) ジッタによる変換誤差を相乗平均化する作用が生じ、ジッタによる雑音の低減作用が副次的に生じる

以上説明したように、本発明はこれまで実現が困難であった超広帯域オーディオ信号の高ダイナミックレンジでのAD変換装置を、安定かつ経済的に実現し得る優れたものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるAD変換装置を示す概要ブロック図

【図2】同実施例におけるAD変換素子(a)1000の内部ブロック図

【図3】同実施例における $\Delta\Sigma$ 変調器の出力の特性を示す周波数特性図

【図4】同実施例におけるデシメーションフィルタの特性とノイズスペクトルを示した周波数特性図

【図5】同実施例における合成手段7000の内部ブロック図

【図6】同実施例における入力信号Xに対する出力信号Wの総合周波数特性を示す図

【図7】本発明の第2の実施例におけるAD変換装置を示す概要ブロック図

【図8】同実施例における $\Delta\Sigma$ 変調器の出力の特性を示す周波数特性図

【図9】同実施例におけるそれぞれのデシメーションフィルタの特性を示す図

【符号の説明】

100, 300, 500  $\Delta\Sigma$ 変調器

110 加算器

120 量子化器

140 減算器

150 帰還フィルタ

200, 400, 600 デシメーションフィルタ

210 FIR1フィルタ

220 FIR2フィルタ

1000 AD変換素子(a)

2000 AD変換素子(b)

3000 AD変換素子(c)

7000 合成手段

701, 702, 703

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

24

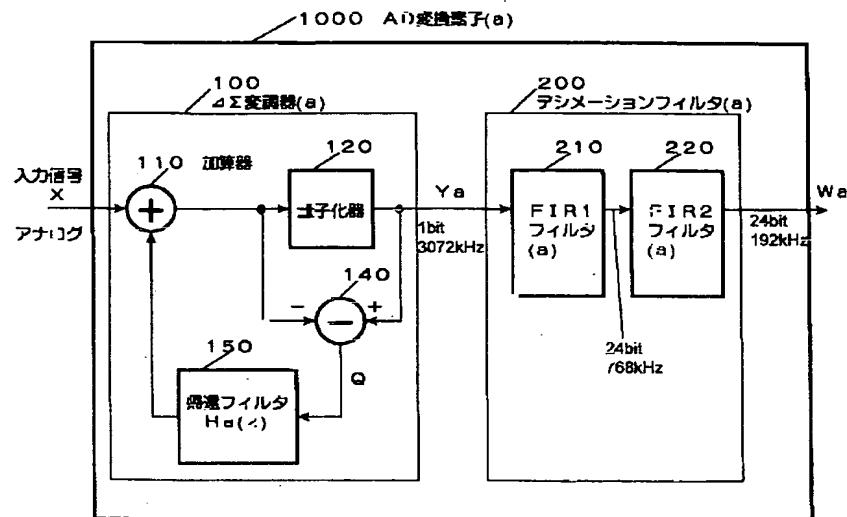
24

24

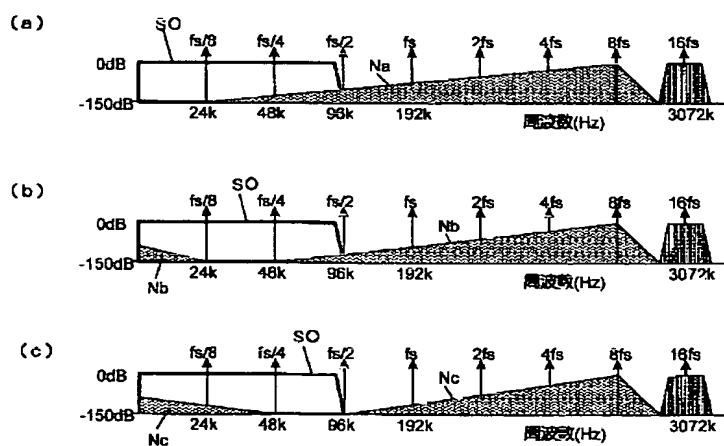
24

24

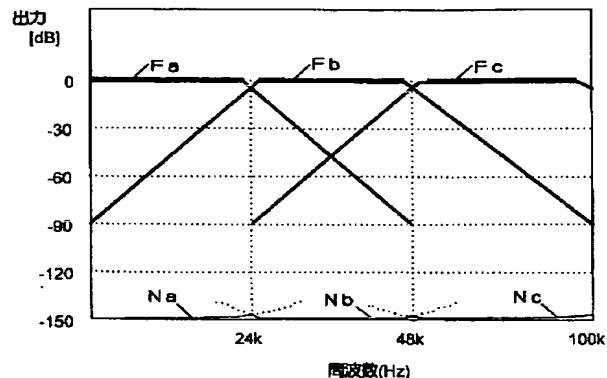
【図2】



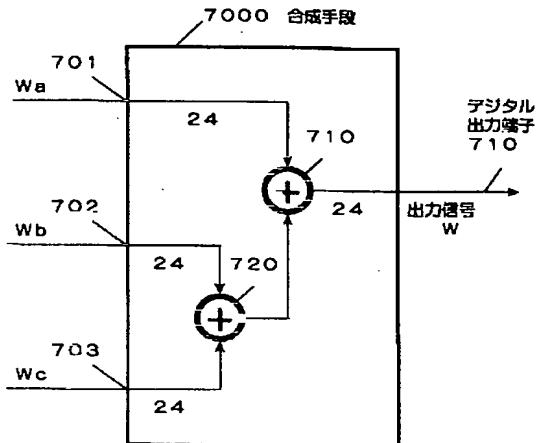
【図3】



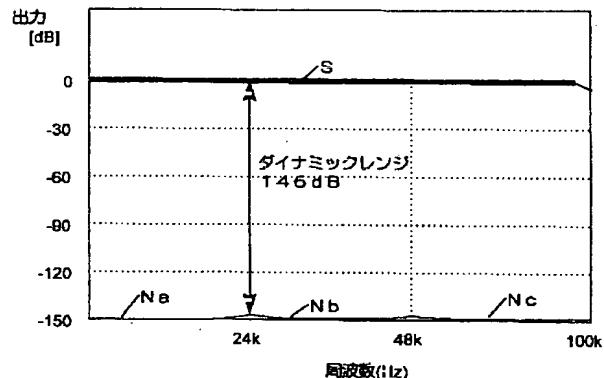
【図4】



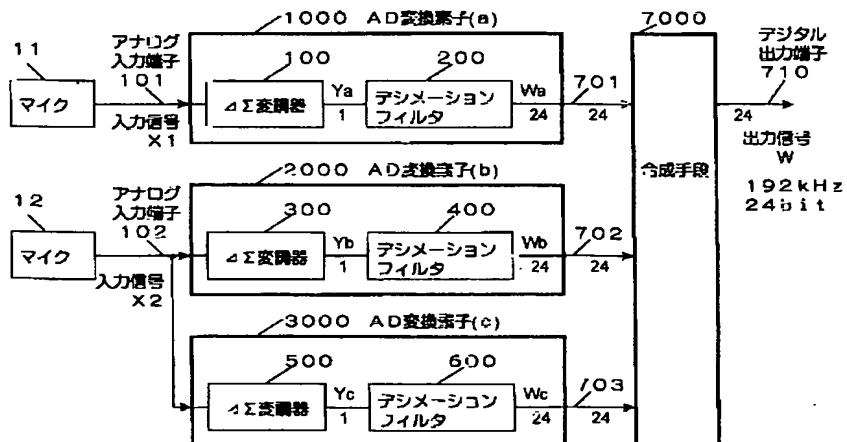
【図5】



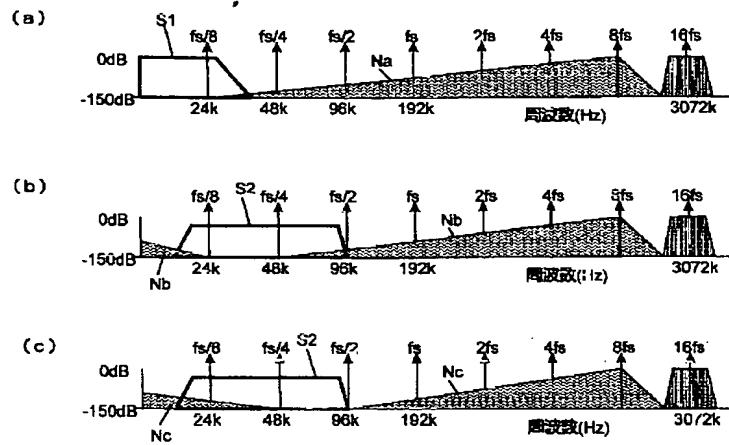
【図6】



【図7】



【図8】



【図9】

